



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月23日
Date of Application:

出願番号 特願2003-015100
Application Number:

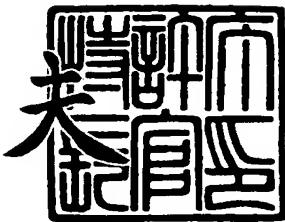
[ST. 10/C] : [JP2003-015100]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年11月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 J0095835
【提出日】 平成15年 1月23日
【あて先】 特許庁長官 殿
【国際特許分類】 G02F 1/133
G03B 21/00
【発明の名称】 トランジスタとその製造方法、電気光学装置、半導体装置並びに電子機器
【請求項の数】 8
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 川田 浩孝
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100089037
【弁理士】
【氏名又は名称】 渡邊 隆
【代理人】
【識別番号】 100064908
【弁理士】
【氏名又は名称】 志賀 正武
【選任した代理人】
【識別番号】 100110364
【弁理士】
【氏名又は名称】 実広 信哉

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910485

【ブルーフの要否】 要

【書類名】明細書

【発明の名称】 トランジスタとその製造方法、電気光学装置、半導体装置並びに電子機器

【特許請求の範囲】

【請求項 1】 単結晶半導体層と、前記単結晶半導体層上に設けられたゲート絶縁膜とを少なくとも備えてなり、

前記ゲート絶縁膜が、前記単結晶半導体層上に形成された熱酸化膜と、この熱酸化膜上に形成された少なくとも一層の気相合成絶縁膜とを有することを特徴とするトランジスタ。

【請求項 2】 前記単結晶半導体層が単結晶シリコンからなることを特徴とする請求項 1 記載のトランジスタ。

【請求項 3】 前記単結晶半導体層がメサ型であることを特徴とする請求項 1 又は 2 記載のトランジスタ。

【請求項 4】 単結晶半導体層にチャネル領域及びソース・ドレイン領域を形成し、この単結晶半導体層上にゲート絶縁膜を介してゲート電極を形成するトランジスタの製造方法において、

前記ゲート絶縁膜の形成工程が、前記単結晶半導体層を熱酸化してその表面に熱酸化膜を形成する工程と、気相合成法によって前記熱酸化膜上に気相合成絶縁膜を形成する工程と、を少なくとも備えていることを特徴とするトランジスタの製造方法。

【請求項 5】 請求項 1～3 のいずれかに記載のトランジスタ、あるいは請求項 4 に記載の製造方法で得られたトランジスタを備えたことを特徴とする電気光学装置。

【請求項 6】 互いに対向する一対の基板間に電気光学物質が狭持されてなる電気光学装置であって、

表示領域となる領域に、請求項 1～3 のいずれかに記載のトランジスタ、あるいは請求項 4 に記載の製造方法で得られたトランジスタが、スイッチング素子として設けられていることを特徴とする電気光学装置。

【請求項 7】 請求項 1～3 のいずれかに記載のトランジスタ、あるいは請

求項 4 に記載の製造方法で得られたトランジスタを備えたことを特徴とする半導体装置。

【請求項 8】 請求項 5 又は 6 記載の電気光学装置、あるいは請求項 7 記載の半導体装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁耐圧性に優れたトランジスタとその製造方法、及びこのトランジスタを備えた電気光学装置、半導体装置、電子機器に関する。

【0002】

【従来の技術】

従来、単結晶シリコン基板（あるいは石英基板）上に埋め込みシリコン酸化膜と単結晶シリコン層とが順次積層された構造の S O I (Silicon On Insulator) 基板が知られている。このような構成の S O I 基板を用いて単結晶シリコン層にトランジスタ集積回路を作り込む場合、各トランジスタを相互に絶縁分離する方法の 1 つとしてメサ型分離法がある。この分離法は、トランジスタを形成する領域を除いた領域の単結晶シリコン層を全て除去する方法であり、製造が容易かつ分離領域も狭くできるといった特徴を有しているため多用されている。また、このようにして分離形成された単結晶シリコン層を用いたトランジスタは、各種電気光学装置におけるスイッチング素子などとして好適に用いられている。

【0003】

前記の単結晶シリコン層を用いてトランジスタを形成する場合、通常は図 15 に示すようにこの単結晶シリコン層 4 0 を熱酸化し、その表面上にシリコン酸化膜からなる熱酸化膜 4 1 を形成してこれをゲート絶縁膜としている。

このような熱酸化法によると、単結晶シリコン層 4 0 は酸化種の拡散条件やその結晶方位の酸化速度差により、面方向における中央部分で相対的に酸化が進み易く、周辺部分で酸化が進みにくくなる。したがって、図 15 に示したように熱酸化膜 4 1 は、その中央部分で厚く形成され、周辺部分で薄く形成されるようになる。

【0004】

ところで、前記の単結晶シリコン層40は、その上面だけでなく側面からも熱酸化が進むことから、図15に示したように上面及び側面にてそれぞれその中央部分が厚く、周辺部分が薄くなる。すると、この単結晶シリコン層40の上端部、すなわち肩部41aでは、上面側での薄厚化と側面側での薄厚化とが共に起こることから、他の部分に比べ極端に薄い厚さとなり、また、その下地である単結晶シリコン層40の肩部40aは鋭く尖った形状となってしまう。

すると、この肩部40aに電界が集中しやすくなり、これによってトランジスタは熱酸化膜41の肩部41aでゲート絶縁破壊が起こりやすくなってしまう。また、このトランジスタでは、前記肩部40a（41a）での閾値が小さくなるといった問題もある。

【0005】

このような問題を解消するため従来では、肩部における酸化膜を他の部分より厚くしたものが知られている（例えば、特許文献1、特許文献2参照）。

また、特にゲート絶縁膜に着目した技術として、ゲート絶縁膜を多層構造にした技術も知られている（例えば、特許文献3、特許文献4、特許文献5、特許文献6、特許文献7、特許文献8参照）。

【0006】

【特許文献1】

特開平5-82789号公報、

【特許文献2】

特開平8-172198号公報)

【特許文献3】

特開昭60-164362号公報、

【特許文献4】

特開昭63-1071号公報、

【特許文献5】

特開昭63-316479号公報、

【特許文献6】

特開平2-65274号公報、

【特許文献7】

特開平2-174230号公報、

【特許文献8】

特開平10-111521号公報

【0007】

【発明が解決しようとする課題】

しかしながら、前記の特許文献1、2では、肩部の酸化膜を他の部分より厚くするためのプロセスが複雑であり、コスト上で不利であるとともに、十分な歩留まりも期待できないといった新たな課題がある。

また、例えば図16に示すようなダブルゲート構造のように、単結晶シリコン層40上に複数のゲート42、42を、「ゲート材料の成膜」、「エッチングによるパターニング」といった公知の手法で形成した場合に、単結晶シリコン層40の周縁部にエッチ残り42aが生じ、このエッチ残り42aによってゲート電極42、42間が短絡してしまうといった課題もある。

【0008】

これは、特にチャネル領域やソース・ドレイン領域を形成する半導体層が単結晶シリコンであることから、例えば多結晶シリコンに比べ異方性速度が高く、したがって熱酸化後、図17に示すように熱酸化膜41の側部における下端部41bが極端に細くなるからである。すなわち、このように熱酸化膜41の下端部41bが極端に細くなると、この下端部41bの下側にエッチ残り42aが生じ易くなってしまい、結果としてこのエッチ残り42aを介してゲート電極42、42間が短絡してしまうのである。なお、図17では、ゲート電極材料をエッチングした際、単結晶シリコン層40を形成した基板43もその表層部がオーバーエッチングされている状態を示している。このように基板43もオーバーエッチングされると、エッチ残り42aも大きくなり、したがって前述したゲート42、42間の短絡が起こり易くなってしまうのである。

【0009】

また、特許文献3～8については、これらは、チャネル領域及びソース・ドレ

イン領域を形成する半導体層が全て多結晶シリコンからなっている。ところが、多結晶シリコンを用いてこれにチャネル領域やソース・ドレイン領域を形成し、トランジスタを製造する場合、多結晶シリコン層を形成した後、この多結晶シリコン層を結晶化するため1000°C以上の高温で結晶化を行う必要がある。しかしながら、このような高温処理を行うと、多結晶シリコン層とこれを形成した基板との間で熱膨張率差に起因して反りなどが発生し、甚だしい場合には割れが生じるおそれもある。

【0010】

本発明は前述した課題を解決するためになされたもので、その目的とするところは、十分な耐圧を有し、しかも容易なプロセスで形成することのできるゲート絶縁膜を備え、さらに高温での結晶化処理を不要にしたトランジスタとその製造方法、及びこのトランジスタを備えた電気光学装置、半導体装置、電子機器を提供することにある。

【0011】

【課題を解決するための手段】

前記目的を達成するため本発明のトランジスタは、チャネル領域及びソース・ドレイン領域を形成した単結晶半導体層と、前記単結晶半導体層の表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、を備えてなり、前記ゲート絶縁膜が、前記単結晶半導体層の表面上に形成された熱酸化膜と、この熱酸化膜上に形成された少なくとも一層の気相合成絶縁膜とからなることを特徴としている。

【0012】

このトランジスタによれば、チャネル領域及びソース・ドレイン領域を形成する半導体層が単結晶半導体層となっているため、この半導体層に対し、高温での結晶化処理が不要になる。また、熱酸化膜上に気相合成絶縁膜が形成されてゲート絶縁膜が構成されているので、前記単結晶半導体層の肩部についてみると、熱酸化膜部分では他の部分に比べ薄くはなるものの、この上に形成される気相合成絶縁膜については他の部分に比べ薄くなることなく同等の膜厚が確保される。したがって、これらの合計の膜厚でみると、肩部が他の部分に比べ極端に薄くなつ

てしまうといったことがなく、よってこの肩部においても十分な耐圧が確保されるようになり、これにより肩部でのゲート絶縁破壊も防止されるようになる。また、ゲート絶縁膜形成のプロセスに関しても、従来に比べ単に気相合成による成膜工程が加わるだけであることからプロセスが複雑化せず、したがってコスト上も有利になり、歩留まりの低下も抑えられる。

【0013】

また、前記トランジスタにおいては、前記単結晶半導体層が単結晶シリコンからなるのが好ましい。

このようにすれば、例えば「単結晶半導体層」を多結晶の半導体層である「多結晶シリコン層」とした場合にその結晶化のため1000℃以上の高温処理が必要であったのに対し、このような高温処理が不要となり、したがって前述した反りや割れといった不都合を防止することができる。

【0014】

また、前記トランジスタにおいては、前記単結晶半導体層がメサ型であるのが好ましい。

このようにすれば、単結晶半導体層を容易にかつ分離領域も狭く形成することができるため、この単結晶半導体層を用いたトランジスタが、例えば各種電気光学装置におけるスイッチング素子などとして好適に用いられるようになる。

【0015】

本発明のトランジスタの製造方法は、単結晶半導体層にチャネル領域及びソース・ドレイン領域を形成し、この単結晶半導体層上にゲート絶縁膜を介してゲート電極を形成するトランジスタの製造方法において、前記ゲート絶縁膜の形成工程が、前記単結晶半導体層を熱酸化してその表面に熱酸化膜を形成する工程と、気相合成法によって前記熱酸化膜上に気相合成絶縁膜を形成する工程と、を少なくとも備えていることを特徴としている。

【0016】

このトランジスタの製造方法によれば、前述したようにチャネル領域及びソース・ドレイン領域を形成する半導体層を単結晶半導体層としているため、この半導体層に対し、高温での結晶化処理が不要になる。また、熱酸化膜上に気相合成

絶縁膜を形成してゲート絶縁膜を構成しているので、前述したように肩部が他の部分に比べ極端に薄くなってしまうといったことがなく、よってこの肩部においても十分な耐圧を確保することができ、これにより肩部でのゲート絶縁破壊を防止することができる。また、ゲート絶縁膜形成のプロセスに関しては、従来に比べ単に気相合成による成膜工程が加わるだけであることからプロセスが複雑化せず、したがってコスト上有利になり、歩留まりの低下も抑えることができる。

【0017】

本発明の電気光学装置は、前記のトランジスタ、あるいは前記製造方法で得られたトランジスタを備えたことを特徴としている。

この電気光学装置によれば、ゲート絶縁破壊が防止され、またプロセスが容易でコスト上有利になり、かつ歩留まりの低下も抑えられたトランジスタを備えてるので、信頼性が高くコスト上も有利であり、さらに生産性も良好なものとなる。

【0018】

本発明の別の電気光学装置は、互いに対向する一対の基板間に電気光学物質が狭持されてなる電気光学装置であって、表示領域となる領域に、前記のトランジスタ、あるいは前記製造方法で得られたトランジスタが、スイッチング素子として設けられていることを特徴としている。

この電気光学装置によれば、ゲート絶縁破壊が防止され、またプロセスが容易でコスト上有利になり、かつ歩留まりの低下も抑えられたトランジスタがスイッチング素子として設けられているので、信頼性が高くコスト上も有利であり、さらに生産性も良好なものとなる。

【0019】

本発明の半導体装置は、前記のトランジスタ、あるいは前記製造方法で得られたトランジスタを備えたことを特徴としている。

この半導体装置によれば、ゲート絶縁破壊が防止され、またプロセスが容易でコスト上有利になり、かつ歩留まりの低下も抑えられたトランジスタを備えてるので、信頼性が高くコスト上も有利であり、さらに生産性も良好なものとなる。

【0020】

本発明の電子機器によれば、前記の電気光学装置、あるいは前記の半導体装置を備えたことを特徴としている。

この電子機器によれば、ゲート絶縁破壊が防止され、またプロセスが容易でコスト上有利になり、かつ歩留まりの低下も抑えられたトランジスタを有した装置を備えてなるので、信頼性が高くコスト上も有利であり、さらに生産性も良好なものとなる。

【0021】

【発明の実施の形態】

以下、本発明を詳しく説明する。

【電気光学装置の製造方法】

まず、本発明の電気光学装置を液晶パネルに適用した場合の一実施形態について説明する。図1は、本発明の電気光学装置の一実施形態である液晶パネルの全体構成を説明するための平面図であり、TFTアレイ基板をその上に形成された各構成要素とともに対向基板の側から見た状態を示した平面図である。また、図2は、図1のA-A'断面図であり、図3は、図1のB-B'断面図である。

【0022】

図1および図2、図3に示す液晶パネル（電気光学装置）は、一対の基板間に液晶が封入されたものであり、一方の基板をなす薄膜トランジスタ（Thin Film Transistor、以下、TFTと略記する）アレイ基板10と、これに対向配置された他方の基板をなす対向基板20とを備えている。

図1は、TFTアレイ基板10をその上に形成された各構成要素とともに見た状態を示している。図1に示すように、TFTアレイ基板10の上には、シール材51がその縁に沿って設けられており、その内側には、シール材51に並行して額縁としての遮光膜（図1中には示さず）が設けられている。また、図1において、符号52は、表示領域を示している。なお、表示領域52は、額縁としての前記遮光膜の内側の領域であり、液晶パネルの表示に使用する領域である。また、表示領域の外側は非表示領域（図示せず）となっている。

【0023】

非表示領域には、データ線駆動回路 101 および外部回路接続端子 102 が TFT アレイ基板 10 の一辺に沿って設けられ、走査線駆動回路 104 がこの一辺に隣接する 2 辺に沿って設けられ、プリチャージ回路 103 が残る一辺に沿って設けられている。さらに、データ線駆動回路 101、プリチャージ回路 103、走査線駆動回路 104 と外部回路接続端子 102 との間をつなぐための複数の配線 105 が設けられている。

また、対向基板 20 のコーナー部に対応する位置には、TFT アレイ基板 10 と対向基板 20 との間で電気的導通をとるための導通材 106 が設けられている。そして、シール材 51 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 51 により TFT アレイ基板 10 に固着されている。

【0024】

また、図 2 および図 3 に示すように、TFT アレイ基板 10 は、石英などの光透過性の絶縁基板からなる基板本体 10A と、その液晶層 50 側表面上に形成され、ITO (Indium Tin Oxide) 膜などの透明導電性膜からなる画素電極 9a と、表示領域に設けられた画素スイッチング用 TFT (スイッチング素子) 30 および非表示領域に設けられた駆動回路用 TFT (スイッチング素子) 31 と、ポリイミド膜等の有機膜から形成され、ラビング処理等の所定の配向処理が施された配向膜 16 とを主体として構成されている。なお、前記の画素スイッチング用 TFT (スイッチング素子) 30 および駆動回路用 TFT (スイッチング素子) 31 は、後述するようにそれぞれ本発明におけるトランジスタの一例となるものである。

【0025】

他方、対向基板 20 は、透明なガラスや石英などの光透過性基板からなる基板本体 20A と、その液晶層 50 側表面上に形成された対向電極 21 と、配向膜 22 と、金属などからなり、各画素部の開口領域以外の領域に設けられた遮光膜 23、および、遮光膜 23 と同じかあるいは異なる材料からなる額縁としての遮光膜 53 とを主体として構成されている。

このように構成され、画素電極 9a と対向電極 21 とが対向するように配置された TFT アレイ基板 10 と対向基板 20 との間には、液晶層 50 が形成されて

いる。

【0026】

また、図2に示すように、TFTアレイ基板10の基板本体10Aの液晶層50側表面上において、各画素スイッチング用TFT30に対応する位置には、遮光層11aが設けられている。また、遮光層11aと複数の画素スイッチング用TFT30との間には、第1層間絶縁膜12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを遮光層11aから電気的に絶縁するために設けられるものである。

【0027】

図2および図3に示すように、本発明におけるトランジスタとなる画素スイッチング用TFT30および駆動回路用TFT31は、LDD (Lightly Doped Drain) 構造を有しており、走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、ゲート電極3cからの電界によりチャネルが形成される半導体層1aのチャネル領域1k'、走査線3a及びゲート電極3cと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域1b、1g及び低濃度ドレイン領域1c、1h、半導体層1aの高濃度ソース領域(ソース領域)1d、1i並びに高濃度ドレイン領域1e、1j(ドレイン領域)を備えている。

【0028】

ここで、半導体層1aは単結晶シリコンからなっている。この半導体層1aの厚さとしては、15nm以上とすることが望ましい。15nm未満であると、画素電極9aとスイッチング素子30、31とを接続するコンタクトホールを設ける際の加工に悪影響を及ぼす恐れがあるからである。

【0029】

ゲート絶縁膜2は、本実施形態では積層構造、すなわち熱酸化膜(シリコン酸化膜)2aと気相合成絶縁膜2bとの積層構造となっている。熱酸化膜2aの厚さとしては、5～50nm程度、好ましくは10～30nm程度とされる。また、気相合成絶縁膜2bは、後述するようにCVD法等によって成膜されたもので、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜等から選択された1種以

上の膜からなるものである。このような気相合成絶縁膜2bの厚さ（2種以上を形成した場合にはその合計厚さ）は10nm以上とされる。また、ゲート絶縁膜2全体の厚さ、すなわち熱酸化膜2aと気相合成絶縁膜2bとの合計厚さは60～80nm程度とされる。これは、特に画素スイッチング用TFT30や駆動回路用TFT31の駆動電圧を10～15V程度に設定した場合に、前記範囲の厚さが耐圧を確保するうえで必要となるからである。

【0030】

なお、気相合成絶縁膜2bとして、シリコン窒化膜やシリコン酸窒化膜といった高誘電率材料を選択した場合、電流量を多くとれることからトランジスタのサイズの小型化を図ることができる。一方、気相合成絶縁膜2bとしてシリコン酸化膜を選択した場合には、その下層である熱酸化膜2aと同じ材質となることから、半導体層1に通じるコンタクトホール形成の際のエッチングが容易になる。

【0031】

また、この液晶パネルにおいては、図2に示すように、ゲート絶縁膜2を走査線3aに対向する位置から延設して誘電体膜として用い、半導体膜1aを延設して第1蓄積容量電極1fとし、さらにこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、蓄積容量70が構成されている。容量線3bおよび走査線3aは、同一のポリシリコン膜、または、ポリシリコン膜と、金属単体、合金、金属シリサイド等の積層構造からなり、蓄積容量70の誘電体膜と画素スイッチング用TFT30および駆動回路用TFT31のゲート絶縁膜2とは、同一の高温酸化膜からなっている。また、画素スイッチング用TFT30のチャネル領域1a'、ソース領域1d、ドレイン領域1eと、駆動回路用TFT31のチャネル領域1k'、ソース領域1i、ドレイン領域1jと、第1蓄積容量電極1fとは、同一の半導体層1aからなっている。半導体層1aは、前述したように単結晶シリコンによって形成されたもので、SOI（Silicon On Insulator）技術が適用されたTFTアレイ基板10に設けられたものである。

【0032】

また、図2に示すように、走査線3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には第2層間絶縁膜4が形成されており、この第2層間絶縁膜4には、画

素スイッチング用TFT30の高濃度ソース領域1dへ通じるコンタクトホール5、及び画素スイッチング用TFT30の高濃度ドレイン領域1eへ通じるコンタクトホール8がそれぞれ形成されている。さらに、データ線6a及び第2層間絶縁膜4の上には第3層間絶縁膜7が形成されており、この第3層間絶縁膜7には画素スイッチング用TFT30の高濃度ドレイン領域1eへのコンタクトホール8が形成されている。また、画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

【0033】

一方、図3に示すように、駆動回路用TFT31には画素電極9aは接続されておらず、駆動回路用TFT31のソース領域1iにはソース電極6bが接続され、駆動回路用TFT31のドレイン領域1jにはドレイン電極6cが接続されている。

【0034】

次に、このような構成の液晶パネル（電気光学装置）の製造方法に基づき、本発明のトランジスタの製造方法を説明する。

まず、図4～図12に基づき、図1および図2、図3に示した液晶パネルの製造方法におけるTFTアレイ基板10の製造方法について説明する。なお、図4および図5と図6～図12とは異なる縮尺で示している。

まず、図4および図5に基づいて、TFTアレイ基板10の基板本体10Aの表面上に、遮光層11aと第1層間絶縁膜12とを形成する工程について詳細に説明する。なお、図4および図5は、各工程におけるTFTアレイ基板の一部分を、図2に示した液晶パネルの断面図に対応させて示す工程図である。

【0035】

はじめに、石英基板、ハードガラス等の透光性の基板本体10Aを用意する。そして、この基板本体10Aを、好ましくはN₂（窒素）等の不活性ガス雰囲気下、約850～1300℃、より好ましくは1000℃の高温でアニール処理し、後に実施される高温プロセスにおいて基板本体10Aに生じる歪みが少なくなるように前処理することが望ましい。すなわち、製造工程において処理される最高温度に合わせて、基板本体10Aと同じ温度かそれ以上の温度で熱処理してお

くことが望ましい。

このように処理された基板本体10Aの表面上の全面に、図4 (a) に示すように、Ti、Cr、W、Ta、Mo及びNbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等を、スパッタリング法、CVD法、電子ビーム加熱蒸着法などにより、例えば150～200nmの膜厚に堆積することにより、遮光材料層11を形成する。

【0036】

次に、基板本体10Aの表面上の全面にフォトレジストを形成し、最終的に形成する遮光層11aのパターンを有するフォトマスクを用いてフォトレジストを露光する。その後、フォトレジストを現像することにより、図4 (b) に示すように、最終的に形成する遮光層11aのパターンを有するフォトレジスト207を形成する。

次に、フォトレジスト207をマスクとして遮光材料層11のエッチングを行い、その後、フォトレジスト207を剥離することにより、基板本体10Aの表面上における画素スイッチング用TFT30の形成領域に、図4 (c) に示すように、所定のパターン(図2参照)を有する遮光層11aを形成する。遮光層11aの膜厚は、例えば150～200nmとする。

【0037】

次に、図5 (a) に示すように、遮光層11aを形成した基板本体10Aの表面上に、スパッタリング法、CVD法などにより、第1層間絶縁膜12を形成する。このとき、遮光層11aを形成した領域上には、第1層間絶縁膜12の表層部に凸部12aが形成される。第1層間絶縁膜12の材料としては、酸化シリコンや、NSG(ノンドープシリケートガラス)、PSG(リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などの高絶縁性ガラス等を例示することができる。

次に、第1層間絶縁膜12の表面をCMP(化学的機械研磨)法などの方法を用いて研磨し、図5 (b) に示すように前記凹部12aを除去して第1層間絶縁膜12の表面を平坦化する。第1層間絶縁膜12の膜厚については、約400～1000nm程度、より好ましくは800nm程度とする。

【0038】

次に、図6～図12に基づいて、第1層間絶縁膜12が形成された基板本体10AからTFTアレイ基板10を製造する方法について説明する。なお、図6～図12は、各工程におけるTFTアレイ基板の一部分を、図2に示した液晶パネルの断面図に対応させて示す工程図である。

図6（a）は、図5（b）の一部分を取り出して異なる縮尺で示す図である。図6（b）に示すように、図6（a）に示した表面が平坦化された第1層間絶縁膜12を有する基板本体10Aと、単結晶シリコン基板206aとの貼り合わせを行う。

【0039】

貼り合わせに用いる単結晶シリコン基板206aの厚さは例えば $600\mu\text{m}$ であり、予め単結晶シリコン基板206aの基板本体10Aと貼り合わせる側の表面には、酸化膜層206bが形成されていると共に、水素イオン（H⁺）が、例えば加速電圧100keV、ドーズ量 $10 \times 10^{16}/\text{cm}^2$ にて注入されている。酸化膜層206bは、単結晶シリコン基板206aの表面を0.05～0.8 μm 程度酸化することにより形成される。

貼り合わせ工程は、例えば300℃で2時間熱処理することにより2枚の基板を直接貼り合わせる方法を採用することができる。

【0040】

また、貼り合わせ強度をさらに高めるためには、熱処理温度を上げて450℃程度にする必要があるが、石英などからなる基板本体10Aの熱膨張係数と単結晶シリコン基板206aの熱膨張係数との間には大きな差があるため、このまま加熱すると単結晶シリコン層にクラックなどの欠陥が発生し、製造されるTFTアレイ基板10の品質が劣化する恐れがある。クラックなどの欠陥の発生を抑制するためには、一度300℃にて貼り合わせのための熱処理を行った単結晶シリコン基板206aを、ウエットエッティングまたはCMPによって100～150 μm 程度まで薄くし、その後、さらに高温の熱処理を行うことが望ましい。例えば、80℃のKOH水溶液を用いて単結晶シリコン基板206aの厚さが150 μm となるようにエッティングし、その後、基板本体10Aとの貼り合わせを行い

、さらに450°Cにて再び熱処理することにより貼り合わせ強度を高めることが望ましい。

【0041】

次に、図6 (c) に示すように、貼り合わせた単結晶シリコン基板206aの貼り合わせ面側の酸化膜206bと単結晶シリコン層206を残したまま、単結晶シリコン基板206aを基板本体10Åから剥離（分離）するための熱処理を行う。

この基板の剥離現象は、単結晶シリコン基板206a中に導入された水素イオンによって、単結晶シリコン基板206aの表面近傍のある層でシリコンの結合が分断されるために生じるものである。ここでの熱処理は、例えば、貼り合わせた2枚の基板を毎分20°Cの昇温速度にて600°Cまで加熱することにより行うことができる。この熱処理により、貼り合わせた単結晶シリコン基板206aが基板本体10Åから分離し、基板本体10Åの表面上には約200nm±5nm程度の単結晶シリコン層206が形成される。

【0042】

単結晶シリコン層206の膜厚については、前述した単結晶シリコン基板206aに対して行う水素イオン注入の加速電圧を変えることにより、例えば10nm～3000nmの範囲で任意に形成することができる。

なお、薄膜化した単結晶シリコン層206は、ここに述べた方法以外に、単結晶シリコン基板の表面を研磨して膜厚を3～5μmとした後、P A C E (Plasma Assisted Chemical Etching) 法によってその膜厚を0.05～0.8μm程度までエッティングして仕上げる方法や、多孔質シリコン上に形成したエピタキシャルシリコン層を、多孔質シリコン層の選択エッティングによって貼り合わせ基板上に転写するE L T R A N (Epitaxial Layer Transfer) 法によっても得ることができる。

【0043】

さらに、第1層間絶縁膜12と単結晶シリコン層206との密着性を高め、貼り合わせ強度を高めるためには、基板本体10Åと単結晶シリコン層206とを貼り合わせた後に、急速熱処理法 (R T A) などにより加熱することが望ましい

。加熱温度としては、600°C～1200°C、望ましくは酸化膜の粘度を下げ、原子的に密着性を高めるため1050°C～1200°Cで加熱することが望ましい。

【0044】

次に、図6 (d) に示すように、フォトリソグラフィ工程、エッチング工程等によるメサ型分離法により、所定パターンの半導体層1aを形成する。特に、データ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。なお、前記素子分離工程については、周知のLOCOS分離法やトレンチ分離法を用いてもよい。

【0045】

次に、図7 (a) に示すように、半導体層1aを約800～1050°Cの温度で熱酸化することにより、5～50nm程度、好ましくは20～40nm程度の厚さの熱酸化膜(シリコン酸化膜)2aを形成する。このとき、得られた熱酸化膜2aは、図13 (a) に示すように半導体層1aの肩部40a上において薄く形成されることになる。しかし、本発明においては、この熱酸化膜2aを従来の熱酸化膜より薄く形成しているため、肩部40a上と他の部分との間での膜厚差が図15に示した従来のものに比べ少なくなる。

【0046】

次いで、図7 (b) に示すように、気相合成法、例えば常圧又は減圧CVD法、蒸着法等により、シリコン酸化物、シリコン窒化物、又はシリコン酸窒化物を堆積成膜し、気相合成絶縁膜2bを形成する。すると、この気相合成絶縁膜2bはほぼ均一な厚さで前記熱酸化膜2a上、及び第1層間絶縁膜12上に形成されることから、半導体層1aの肩部40a上においても、図13 (b) に示すように他の部分と同等の厚さとなる。したがって、熱酸化膜2aと気相合成絶縁膜2bとからなる本発明のゲート酸化膜2は、肩部40a上においても他の部分に比べ極端に薄くなってしまうといったことがなく、よってこの肩部40a上においても十分な耐圧が確保されたものとなる。

なお、この気相合成絶縁膜2bについては、単層で形成してもよく、また、前

記絶縁材料より選択された2種以上の膜による積層膜としてもよい。また、その膜厚としては、前述したように10nm以上とする。これは、10nm未満に形成しようとしても、良好な膜質のものが得られないからである。

【0047】

このようにして熱酸化膜2a、気相合成絶縁膜2bをそれぞれ形成したら、不活性ガス中、例えば窒素やアルゴン中にて900～1050℃程度の温度によるアニール処理を行い、前記熱酸化膜2a、気相合成絶縁膜2bの積層構造を有するゲート酸化膜2を得る。ここで、このゲート酸化膜2の膜厚、すなわち熱酸化膜2aと気相合成絶縁膜2bとの合計厚さについては、前述したように60～80nm程度となるようにするのが好ましい。

【0048】

次に、図8(a)に示すように、Nチャネルの半導体層1aに対応する位置にレジスト膜301を形成する一方で、図示を省略するPチャネルの半導体層1aにP(リン)などのV族元素のドーパント302を低濃度で(例えば、Pイオンを70keVの加速電圧、 $2 \times 10^{11} / \text{cm}^2$ のドーズ量にて)ドープする。

次に、図8(b)に示すように、図示を省略するPチャネルの半導体層1aと対応する位置にレジスト膜を形成する一方で、Nチャネルの半導体層1aにB(ホウ素)などのIII族元素のドーパント303を低濃度で(例えば、Bイオンを35keVの加速電圧、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量にて)ドープする。

【0049】

次に、図8(c)に示すように、基板10の表面にレジスト膜305を形成する。そして、Pチャネルについては、図8(a)に示した工程の約1～10倍のドーズ量のPなどのV族元素のドーパント306、Nチャネルについては、図8(b)に示した工程の約1～10倍のドーズ量のBなどのIII族元素のドーパント306をそれぞれドープする。

次に、図8(d)に示すように、半導体層1aを延設してなる第1蓄積容量電極1fを低抵抗化するため、基板本体10A表面の第1蓄積容量電極1f以外の部分に対応する部分にレジスト膜307(走査線3aよりも幅が広い)を形成し、これをマスクとしてその上からPなどのV族元素のドーパント308を低濃度

で（例えば、Pイオンを70k eVの加速電圧、 $3 \times 10^{14} / \text{cm}^2$ のドーズ量にて）ドープする。

【0050】

次に、図9（a）に示すように、第1層間絶縁膜12に遮光層11aに達するコンタクトホール13を反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより、あるいはウエットエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。ただし、ドライエッチングとウエットエッチングとを組み合わせて開孔すれば、これらのコンタクトホール13等をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【0051】

次に、図9（b）に示すように、減圧CVD法等によりポリシリコン層3を350nm程度の厚さで堆積し、その後、リン（P）を熱拡散してポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドープシリコン膜を用いてもよい。これにより、ポリシリコン層3の導電性を高めることができる。さらに、ポリシリコン層3の導電性を高めるため、ポリシリコン層3の上部に、Ti、W、Co及びMoのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等を、スパッタリング法、CVD法、電子ビーム加熱蒸着法などにより、例えば150～200nmの膜厚に堆積した層構造にしてもよい。

次に、図9（c）に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図2に示した所定パターンの走査線3aと共に容量線3bを形成する。なお、この後、基板本体10Aの裏面に残存するポリシリコンを基板本体10Aの表面をレジスト膜で覆ってエッチングすることにより除去する。

【0052】

次に、図9（d）に示すように、半導体層1aに駆動回路用TFT31のPチャネルのLDD領域を形成するために、Nチャネルの半導体層1aに対応する位

置をレジスト膜309で覆い、ゲート電極3cを拡散マスクとして、BなどのII族元素のドーパント310を低濃度で（例えば、BF₂イオンを90keVの加速電圧、 $3 \times 10^{13} / \text{cm}^2$ のドーズ量にて）ドープし、Pチャネルの低濃度ソース領域1g及び低濃度ドレイン領域1hを形成する。

【0053】

続いて、図9(e)に示すように、半導体層1aに画素スイッチング用TFT30および駆動回路用TFT31のPチャネルの高濃度ソース領域1d、1i及び高濃度ドレイン領域1e、1jを形成するために、Nチャネルの半導体層1aに対応する位置をレジスト膜309で覆った状態で、かつ、図示はしていないが走査線3aよりも幅の広いマスクでレジスト層をPチャネルに対応する走査線3a上に形成した状態で、同じくBなどのIII族元素のドーパント311を高濃度で（例えば、BF₂イオンを90keVの加速電圧、 $2 \times 10^{15} / \text{cm}^2$ のドーズ量にて）ドープする。

【0054】

次に、図10(a)に示すように、半導体層1aに画素スイッチング用TFT30および駆動回路用TFT31のNチャネルのLDD領域を形成するため、Pチャネルの半導体層1aに対応する位置をレジスト膜（図示せず）で覆い、走査線3a（ゲート電極）を拡散マスクとして、PなどのV族元素のドーパント60を低濃度で（例えば、Pイオンを70keVの加速電圧、 $6 \times 10^{12} / \text{cm}^2$ のドーズ量にて）ドープし、Nチャネルの低濃度ソース領域1b、1g及び低濃度ドレイン領域1c、1hを形成する。

【0055】

続いて、図10(b)に示すように、半導体層1aに画素スイッチング用TFT30および駆動回路用TFT31のNチャネルの高濃度ソース領域1d、1i及び高濃度ドレイン領域1e、1jを形成するため、走査線3aよりも幅の広いマスクでレジスト62をNチャネルに対応する走査線3a上に形成した後、同じくPなどのV族元素のドーパント61を高濃度で（例えば、Pイオンを70keVの加速電圧、 $4 \times 10^{15} / \text{cm}^2$ のドーズ量にて）ドープする。

【0056】

次に、図10（c）に示すように、容量線3b及び走査線3aを覆うように、例えば常圧又は減圧CVD法によってNSG、PSG、BSG、BPSGなどのシリケートガラス膜、塗化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。この第2層間絶縁膜4の膜厚としては、約500～1500nmとするのが好ましく、800nmとするのがより好ましい。

この後、高濃度ソース領域1d、1i及び高濃度ドレイン領域1e、1jを活性化するため、約850℃のアニール処理を20分程度行う。

【0057】

次に、図10（d）に示すように、データ線に対するコンタクトホール5を、反応性エッティング、反応性イオンビームエッティング等のドライエッティングによりあるいはウエットエッティングにより形成する。また、走査線3aや容量線3bを図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により第2層間絶縁膜4に開孔する。

【0058】

次に、図11（a）に示すように、スパッタ処理等によって第2層間絶縁膜4の上に、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100～700nmの厚さ、好ましくは約350nmに堆積する。

さらに、図11（b）に示すように、フォトリソグラフィ工程、エッティング工程等により、データ線6aを形成する。

次に、図11（c）に示すように、データ線6a上を覆うように、例えば常圧又は減圧CVD法により、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、塗化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500～1500nmとするのが好ましく、さらに800nmとするのがより好ましい。

【0059】

次に、図12（a）に示すように、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電気的に接続するためのコンタクトホール8を、反応性エッティング、反応性イオンビームエッティング等のドライエッティングあるいはウエットエッティングにより形成する。

次に、図12 (b) に示すように、スパッタ処理等によって第3層間絶縁膜7の上に、ITO等の透明導電性薄膜9を約50～200nmの厚さに堆積する。

【0060】

さらに、図12 (c) に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。なお、本実施形態の液晶装置が反射型液晶装置である場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜16が形成される。

以上のようにして、TFTアレイ基板10が製造される。

【0061】

次に、対向基板20の製造方法及びTFTアレイ基板10と対向基板20とから液晶パネルを製造する方法について説明する。

図2に示した対向基板20については、基板本体20Aとしてガラス基板等の光透過性基板を用意し、基板本体20Aの表面上に、遮光膜23及び周辺見切りとしての遮光膜53を形成する。遮光膜23及び周辺見切りとしての遮光膜53は、例えばCr、Ni、Alなどの金属材料をスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。なお、これらの遮光膜23、53は、前記の金属材料の他、カーボンやTiなどをフォトレジストに分散させた樹脂ブラックなどの材料から形成してもよい。

【0062】

その後、スパッタリング法などによって基板本体20Aの表面上の全面に、ITO等の透明導電性薄膜を約50～200nmの厚さに堆積し、対向電極21を形成する。さらに、対向電極21の表面上の全面にポリイミドなどの配向膜の塗布液を塗布し、その後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜22を形成する。

以上のようにして、対向基板20が製造される。

【0063】

最後に、前述のように製造されたTFTアレイ基板10と対向基板20とを、配向膜16及び22が互いに対向するようにシール材51によって貼り合わせる。そして、真空吸引法などの方法により、両基板間の空間に例えば複数種類のネマティック液晶を混合してなる液晶を吸引し、所定の厚みを有する液晶層50を形成する。これにより、前記構造の液晶パネルが得られる。

【0064】

このような液晶パネル（電気光学装置）の製造方法において、特に画素スイッチング用TFT30、駆動回路用TFT31の製造方法にあっては、チャネル領域1a'（1k'）等を形成する半導体層1aを単結晶シリコン層としているので、例えばこの半導体層1aを多結晶シリコン層とした場合にその結晶化のため1000°C以上の高温処理が必要であったのに対し、このような高温処理が不要となる。

【0065】

また、熱酸化膜2a上に気相合成絶縁膜2bを形成してゲート絶縁膜2を構成しているので、その肩部（図13に示した半導体層1aの肩部40aの上側部分）が他の部分に比べ極端に薄くなってしまうといったことがなく、よってこの肩部においても十分な耐圧を確保することができる。したがって、この肩部における絶縁耐圧を増加し、肩部でのゲート絶縁破壊を防止することができる。また、寄生トランジスタ効果を低下することができ、さらに単結晶シリコン層へのストレス減少のため欠陥の誘起を小さくすることができる。

【0066】

また、ゲート絶縁膜2の形成のプロセスに関しては、従来に比べ単に気相合成による成膜工程が加わるだけであるので、プロセスが複雑化せず、したがってコスト上有利になり、歩留まりの低下も抑えることができる。

また、メサ型分離法によって単結晶シリコン層を分離しているので、単結晶シリコン層を容易にかつ分離領域も狭く形成することができ、したがってこの単結晶シリコン層を用いたトランジスタからなる画素スイッチ用TFT30や駆動回路用TFT31を、良好に形成することができる。

【0067】

また、特にこのようにして得られる画素スイッチング用 TFT30 や駆動回路用 TFT31 のトランジスタ構造にあっては、例えばダブルゲート構造のように半導体層 1a 上に複数のゲート電極を複数形成した場合、図 16、図 17 に示したようなエッチ残り 42a によるゲート電極 42、42 間の短絡といった不都合が防止されたものとなる。すなわち、本発明においては、図 13 (a) に示したように半導体層 1a に熱酸化膜 2a を形成した後、図 13 (b) に示したようにこの上に気相合成法で気相合成絶縁膜 2b を形成するので、熱酸化膜 2a の側部における下端部 2A が細くなても、この細くなった部分をも覆って気相合成絶縁膜 2b を形成することにより、下端部 2A 上にエッチ残りが生じ易くなるような内側に大きく凹んだ部分が形成されず、したがってエッチ残りに起因するゲート電極 42、42 間の短絡が防止されるのである。

【0068】

なお、本実施形態の液晶パネルでは、前述したように画素スイッチング用 TFT30 については LDD 構造を有するものとしたが、低濃度ソース領域 1b および低濃度ドレイン領域 1c を設けなくてもよく、また、低濃度ソース領域 1b および低濃度ドレイン領域 1c に不純物イオンの打ち込みを行わないオフセット構造を採用してもよい。また、ゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソースおよびドレイン領域を形成するセルフアライイン型の TFT としてもよい。

【0069】

また、本実施形態の液晶パネルでは、画素スイッチング用 TFT30 の走査線 3a の一部からなるゲート電極を、ソース・ドレイン領域間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）あるいはトリプルゲート以上で TFT を構成すれば、チャネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。さらに、これらのゲート電極の少なくとも 1 個を LDD 構造あるいはオフセット構造にすれば、より一層、オフ電流を低減でき、安定したスイッチング素子を得ることができる。なお、このように 2 個

以上のゲート電極を配置した場合、前述したようにエッチ残りに起因するゲート電極42、42間の短絡が防止されているものとなる。

また、本実施形態の液晶パネルでは、画素スイッチング用TFT30をNチャネル型としたが、Pチャネル型を用いても良く、さらにはNチャネル型とPチャネル型の両方のTFTを形成しても良い。

【0070】

また、本実施形態の液晶パネルでは、TFTアレイ基板10の非表示領域に駆動回路用TFT31が設けられているものとしたが、非表示領域に駆動回路用TFT31が設けられていないものとしてもよく、とくに限定されない。

また、本実施形態の液晶パネルでは、画素スイッチング用TFT30を構成する半導体層と駆動回路用TFT31を構成する半導体層とを、同じ層厚としたが、異なる層厚としてもよい。

さらに、本実施形態の液晶パネルでは、TFTアレイ基板10は、SOI技術が適用されたものとしたが、SOI技術を適用したものでなくてもよく、とくに限定されない。また、単結晶半導体層を形成する材料としては、単結晶シリコンに限定されるものではなく、化合物系の単結晶半導体などを使用してもよい。

【0071】

なお、本実施形態の液晶パネルでは、TFTアレイ基板10における基板本体10Aとして石英基板、ハードガラス等の透光性のものを用い、また遮光層11aを形成して画素スイッチング用TFT30に向かう光を遮断し、画素スイッチング用TFT30に光が照射されるのを防止して光リーク電流を抑えるようにしたが、基板本体10Aとして非透光性のものを用いることもでき、その場合には遮光層11aの形成を省略してもよい。

【0072】

また、本実施形態の液晶パネルでは、蓄積容量70を形成する方法として、半導体層との間で容量を形成するための配線である容量線3bを設けているが、容量線3bを設ける代わりに、画素電極9aと前段の走査線3aとの間で容量を形成しても良い。または、第1蓄積容量電極1fを形成する代わりに、容量線3bの上に、薄い絶縁膜を介して別の蓄積容量電極を形成しても良い。

また、画素電極 9 a と高濃度ドレイン領域 1 e とは、データ線 6 a と同一の A 1 膜や走査線 3 a と同一のポリシリコン膜を中継して電気的に接続する構成としてもよい。

また、遮光層 11 a はポリシリコン膜 3 と接続されているが、図 10 (d) に示したデータ線に対するコンタクトホール 5 の形成工程と同時にコンタクトホールを形成し、金属膜 6 と接続しても良い。また、遮光層 11 a の電位を固定するために、上述したような各画素毎にコンタクトを取らず、画素領域の周辺で一括して接続をしても良い。

【0073】

また、本実施形態の液晶パネルにおいては、TFT アレイ基板 10 上に、さらに製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

また、データ線駆動回路 101 および走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (Tape Automated Bonding) 基板上に実装された駆動用 LSI に、TFT アレイ基板 10 の周辺部に設けられた異方性導電フィルムを介して電気的および機械的に接続するようにしてもよい。

さらに、対向基板 20 の投射光が入射する側および TFT アレイ基板 10 の出射光が出射する側に各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

【0074】

なお、本発明のトランジスタを備えた電気光学装置としての液晶パネルは、反射型の液晶パネルにも、透過型の液晶パネルにも適用可能である。

また、前記の液晶パネルにおいては、例えばカラー液晶プロジェクタ（投射型表示装置）に適用することができる。その場合、3枚の液晶パネルが RGB 用のライトバルブとして各々用いられ、各ライトバルブには各々 RGB 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射される

ことになる。したがって、前記の実施形態では、対向基板 20 に、カラーフィルタは設けられていない。しかしながら、遮光膜 23 の形成されていない画素電極 9a に対向する所定領域に、RGB のカラーフィルタをその保護膜とともに対向基板 20 上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶パネルを適用できる。

【0075】

さらに、対向基板 20 上に 1 画素に 1 個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶パネルが実現できる。さらにまた、対向基板 20 上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付対向基板によれば、より明るいカラー液晶装置が実現できる。

【0076】

なお、本発明のトランジスタを備えた電気光学装置としては、前記の液晶パネルに限定されることなく、有機エレクトロルミネッセンス装置、電気泳動装置、プラズマディスプレイ装置等にも適用可能である。

また、本発明の半導体装置は、前記の画素スイッチング用 TFT 30 のような、ゲート絶縁膜 2 を単結晶シリコン層（単結晶半導体層）の熱酸化による熱酸化膜 2a と気相合成絶縁膜 2b との少なくとも二層からなる積層構造としたトランジスタを有したものであり、このようなトランジスタを有したものであれば、メモリ等いずれの半導体装置にも適用可能である。

【0077】

[電子機器]

前記実施形態の製造方法で得られた液晶パネルを備える電子機器の例について説明する。

図 14 は、前記実施形態の電気光学装置（液晶装置）を用いた電子機器の他の例としての、携帯電話の一例を示す斜視図である。図 14 において、符号 100 0 は携帯電話本体を示し、符号 1001 は上記の液晶装置を用いた液晶表示部を

示している。

図15に示す電子機器（携帯電話）にあっては、上記各実施形態の液晶装置を備えたものであるので、信頼性の高い優れた表示部を備えた電子機器となる。

【0078】

また、本発明の電子機器としては、携帯電話以外にも、例えば投射型表示装置や、前記の液晶表示装置を用いた液晶表示部を有する腕時計型電子機器、さらにはワープロ、パソコンなどの携帯型情報処理装置にも適用可能である。

なお、本発明の技術範囲は上記の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であるのはもちろんである。

【図面の簡単な説明】

【図1】 本発明の電気光学装置の一例である液晶パネルの平面図である。

【図2】 図1のA-A'断面図である。

【図3】 図1のB-B'断面図である。

【図4】 (a)～(c)は電気光学装置の製造工程図である。

【図5】 (a)～(b)は電気光学装置の製造工程図である。

【図6】 (a)～(d)は電気光学装置の製造工程図である。

【図7】 (a)、(b)は電気光学装置の製造工程図である。

【図8】 (a)～(d)は電気光学装置の製造工程図である。

【図9】 (a)～(e)は電気光学装置の製造工程図である。

【図10】 (a)～(d)は電気光学装置の製造工程図である。

【図11】 (a)～(c)は電気光学装置の製造工程図である。

【図12】 (a)～(c)は電気光学装置の製造工程図である。

【図13】 (a)、(b)はゲート絶縁膜形成工程の要部拡大図である。

【図14】 電子機器としての携帯電話の一例を説明するための図である。

【図15】 従来の熱酸化膜からなるゲート絶縁膜の要部断面図である。

【図16】 ダブルゲート構造を模式的に示す平面図である。

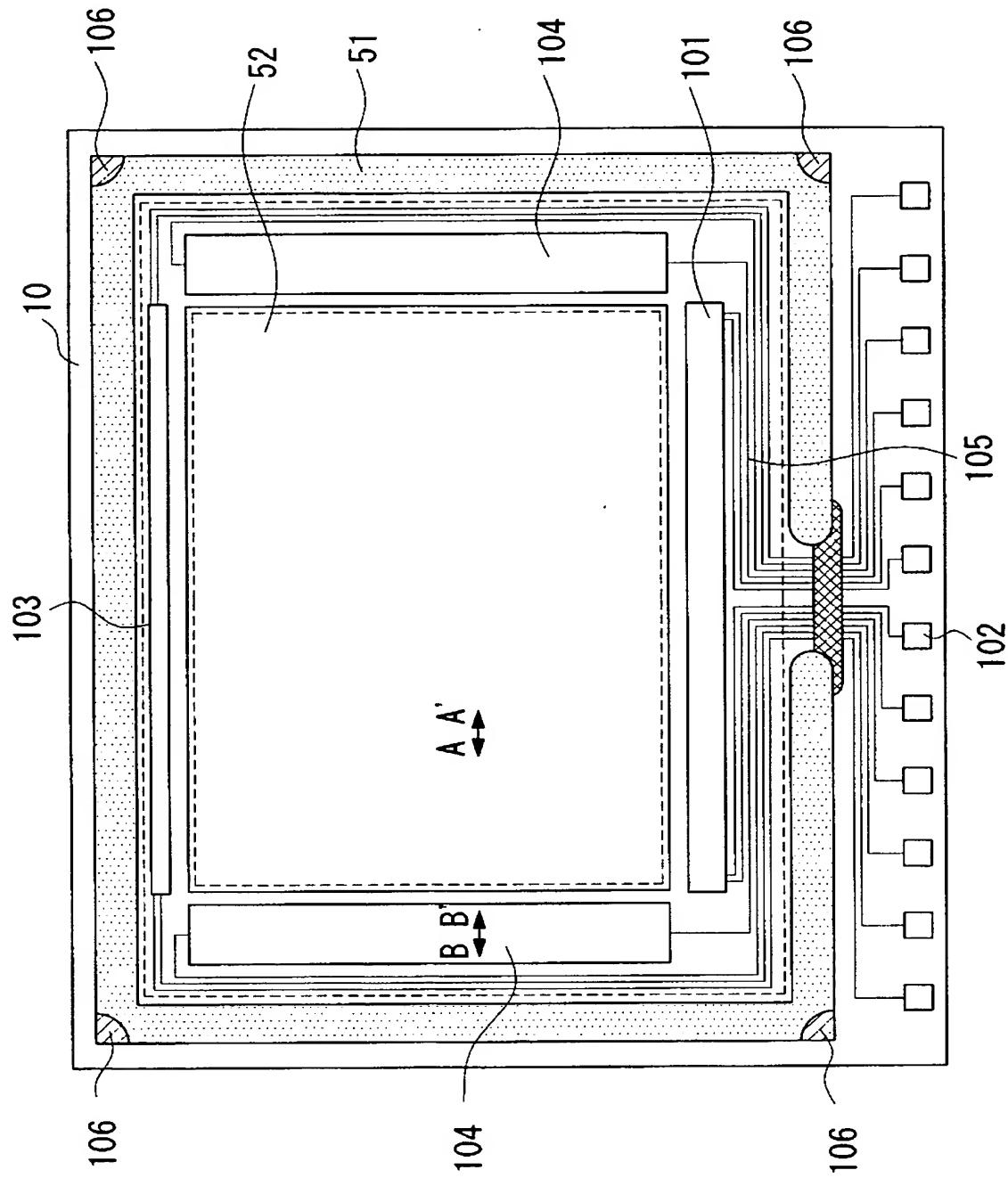
【図17】 課題を説明するための要部断面図である。

【符号の説明】

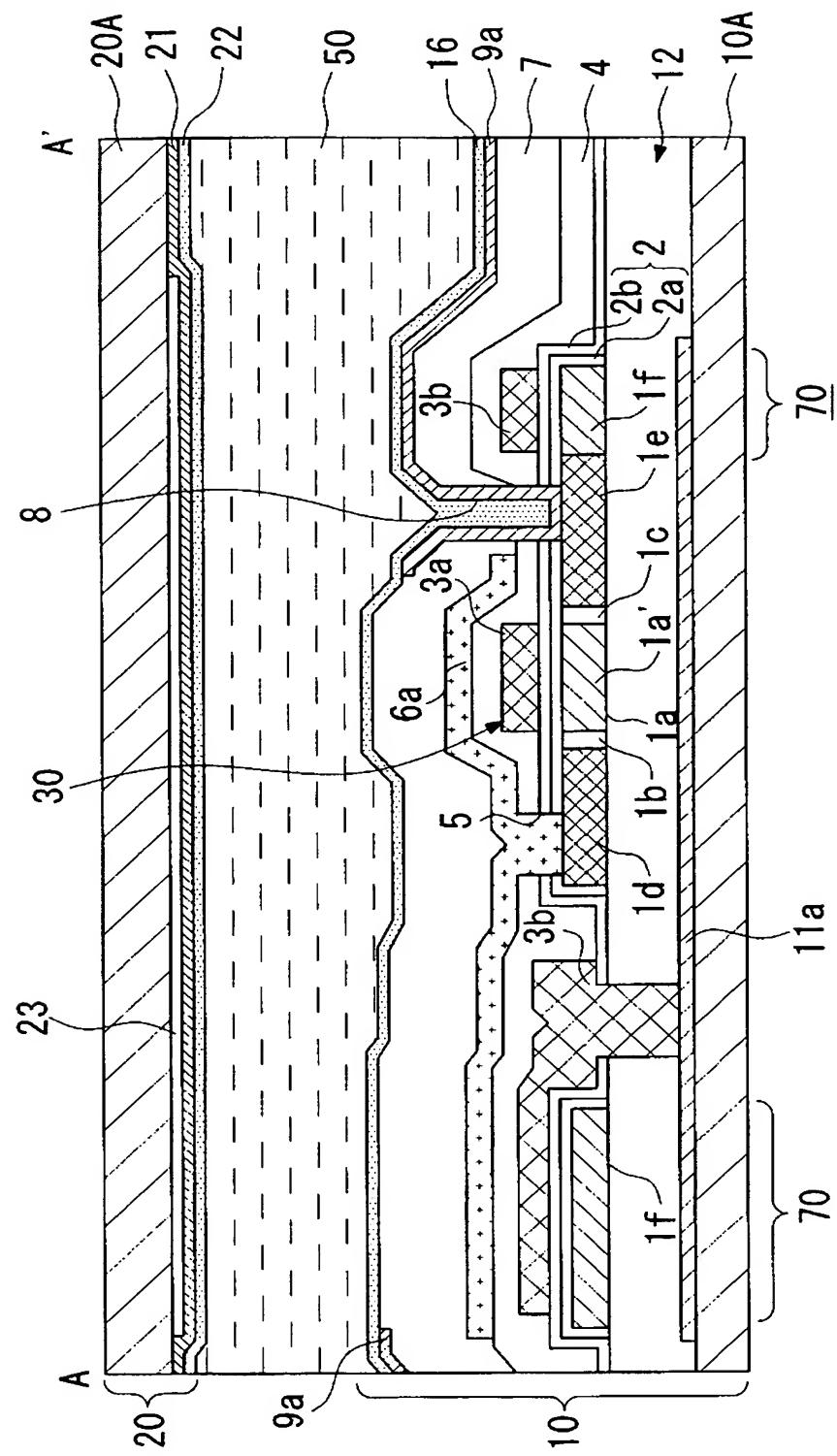
1 a …半導体層（単結晶半導体層）、1 a'、1 k' …チャネル領域、
1 b、1 g …低濃度ソース領域（ソース側LDD領域）、
1 c、1 h …低濃度ドレイン領域（ドレイン側LDD領域）、
1 d、1 i …ソース領域（高濃度ソース領域）、
1 e、1 j …ドレイン領域（高濃度ドレイン領域）、
1 f …第1蓄積容量電極、
2 …ゲート絶縁膜、2 a …熱酸化膜、2 b …気相合成絶縁膜、
3 0 …画素スイッチング用TFT（スイッチング素子）、
3 1 …駆動回路用TFT（スイッチング素子）

【書類名】 図面

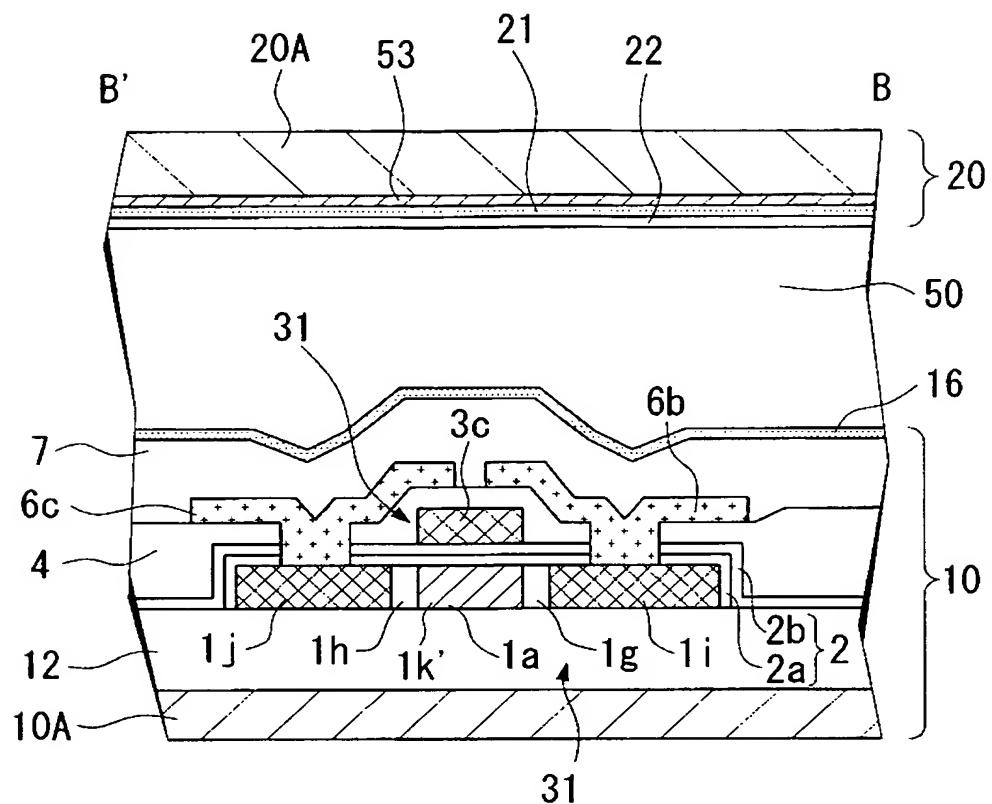
【図 1】



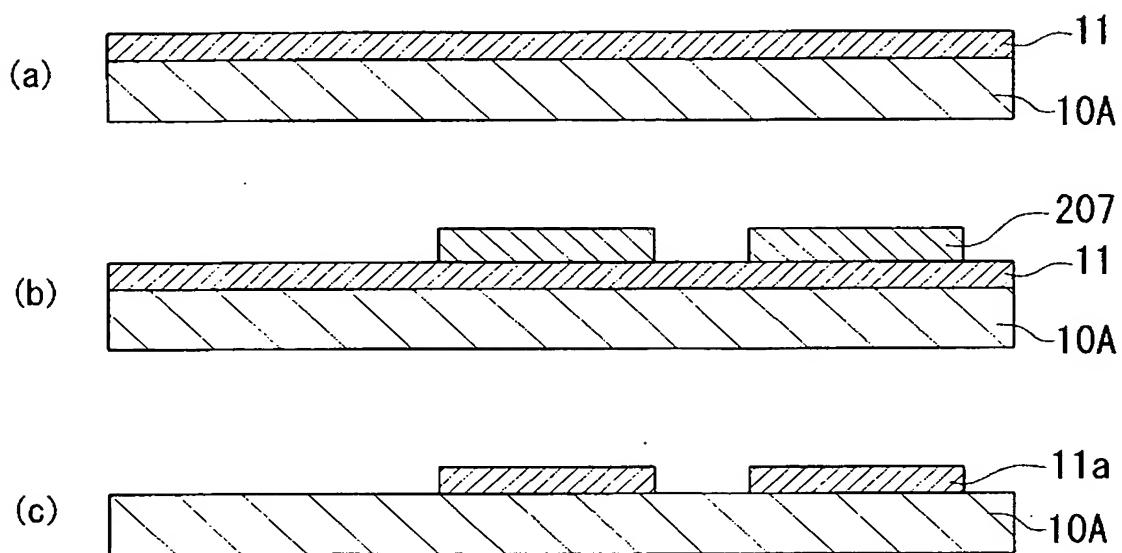
【図 2】



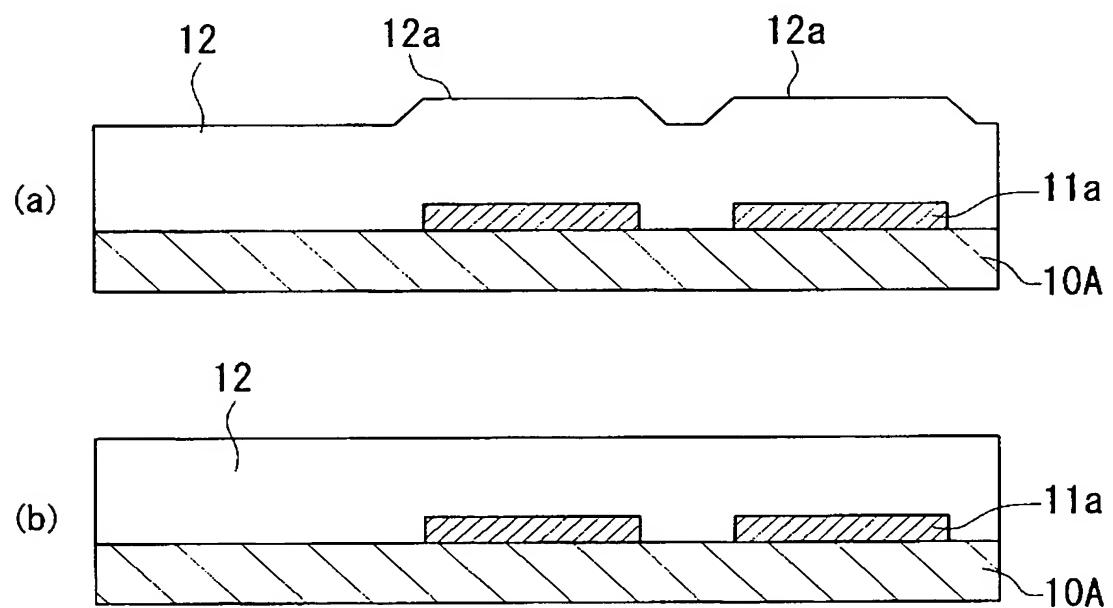
【図3】



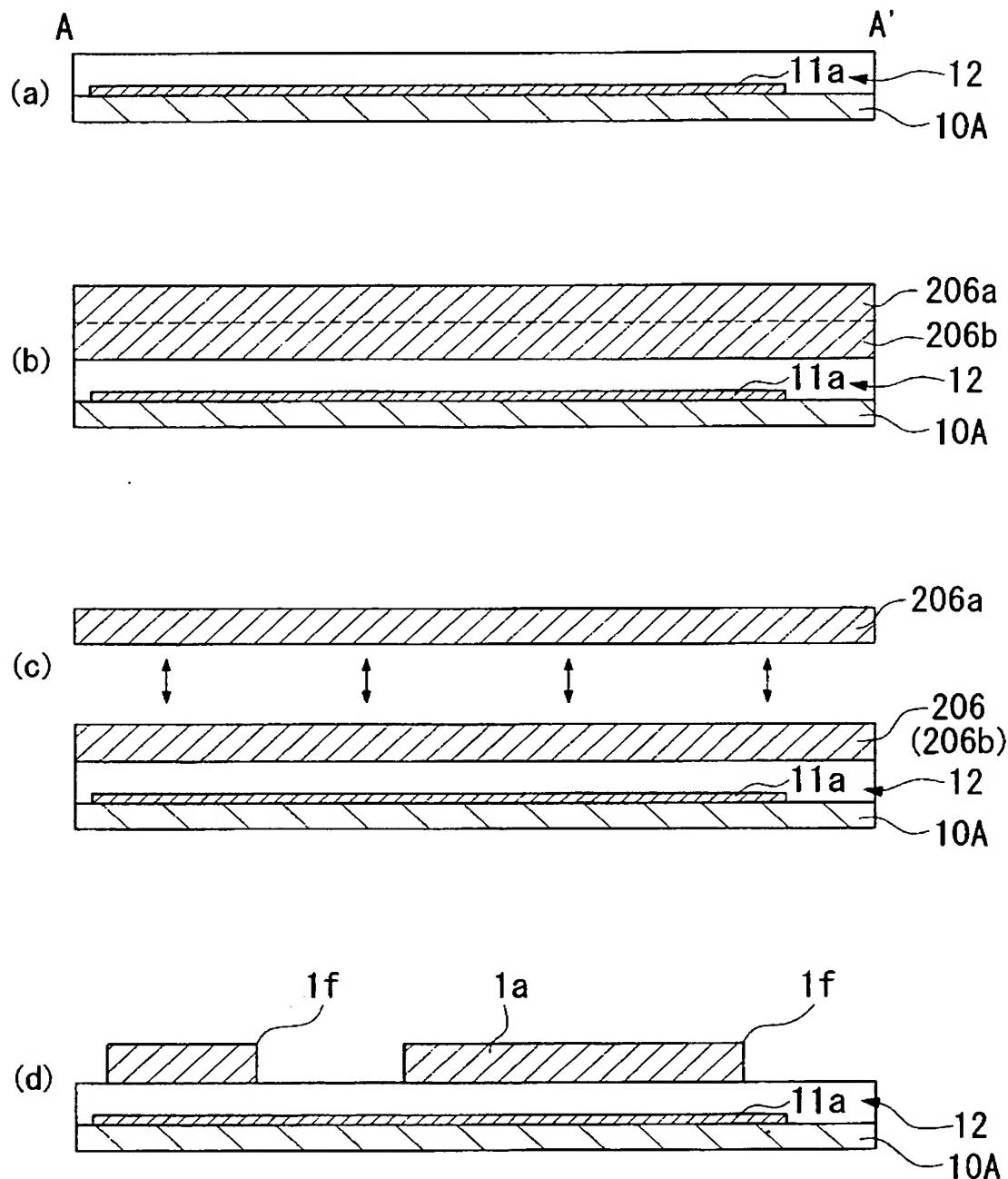
【図4】



【図5】

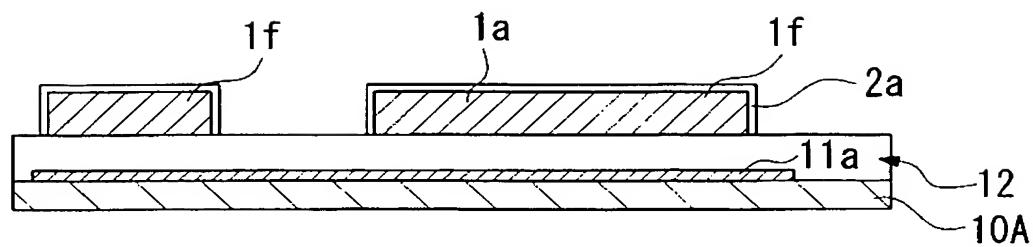


【図 6】

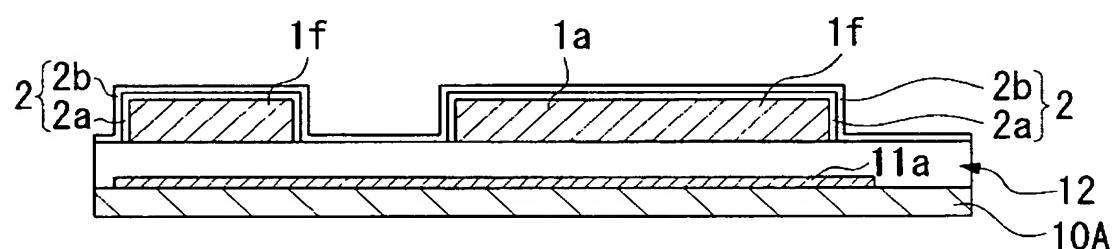


【図 7】

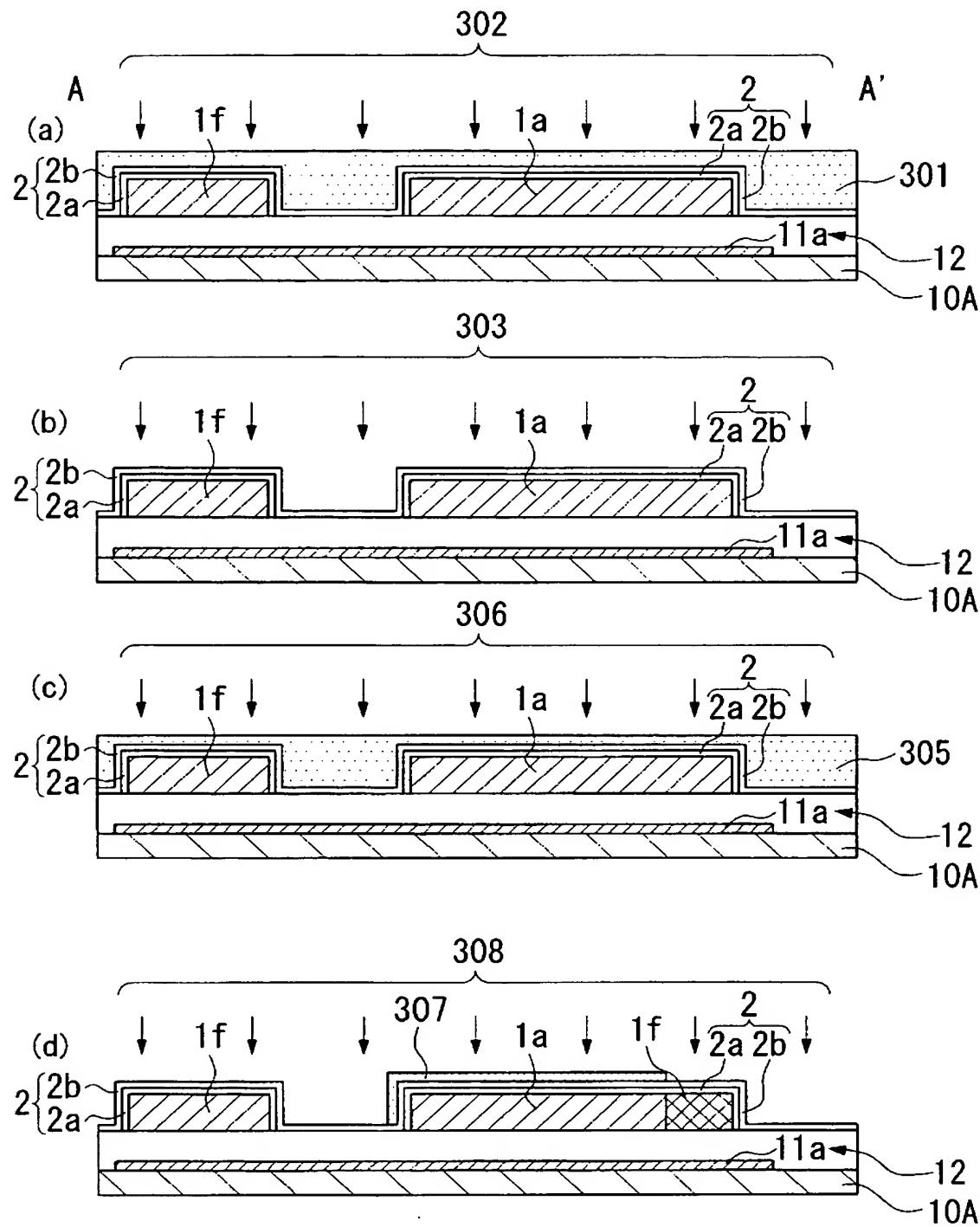
(a)



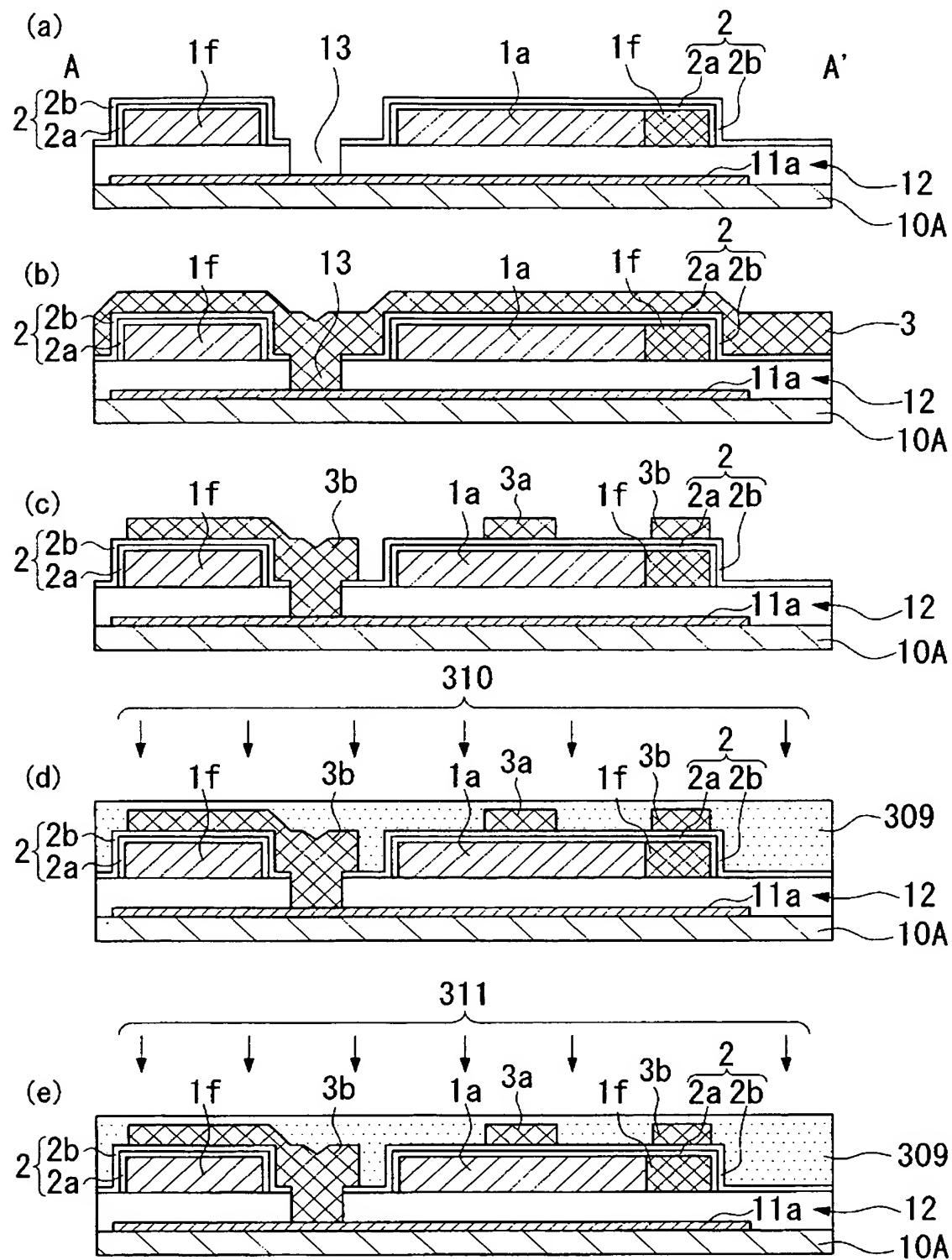
(b)



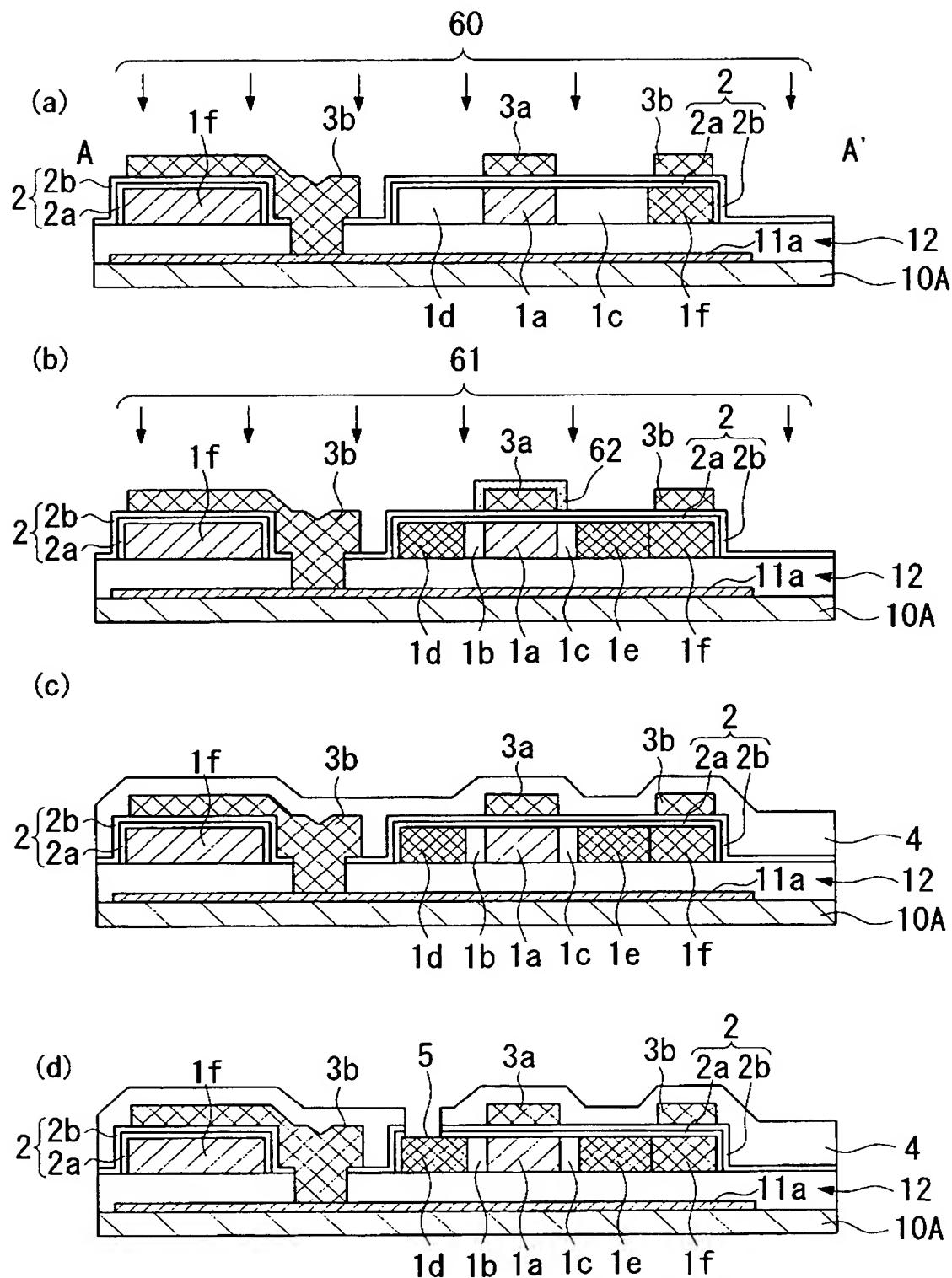
【図 8】



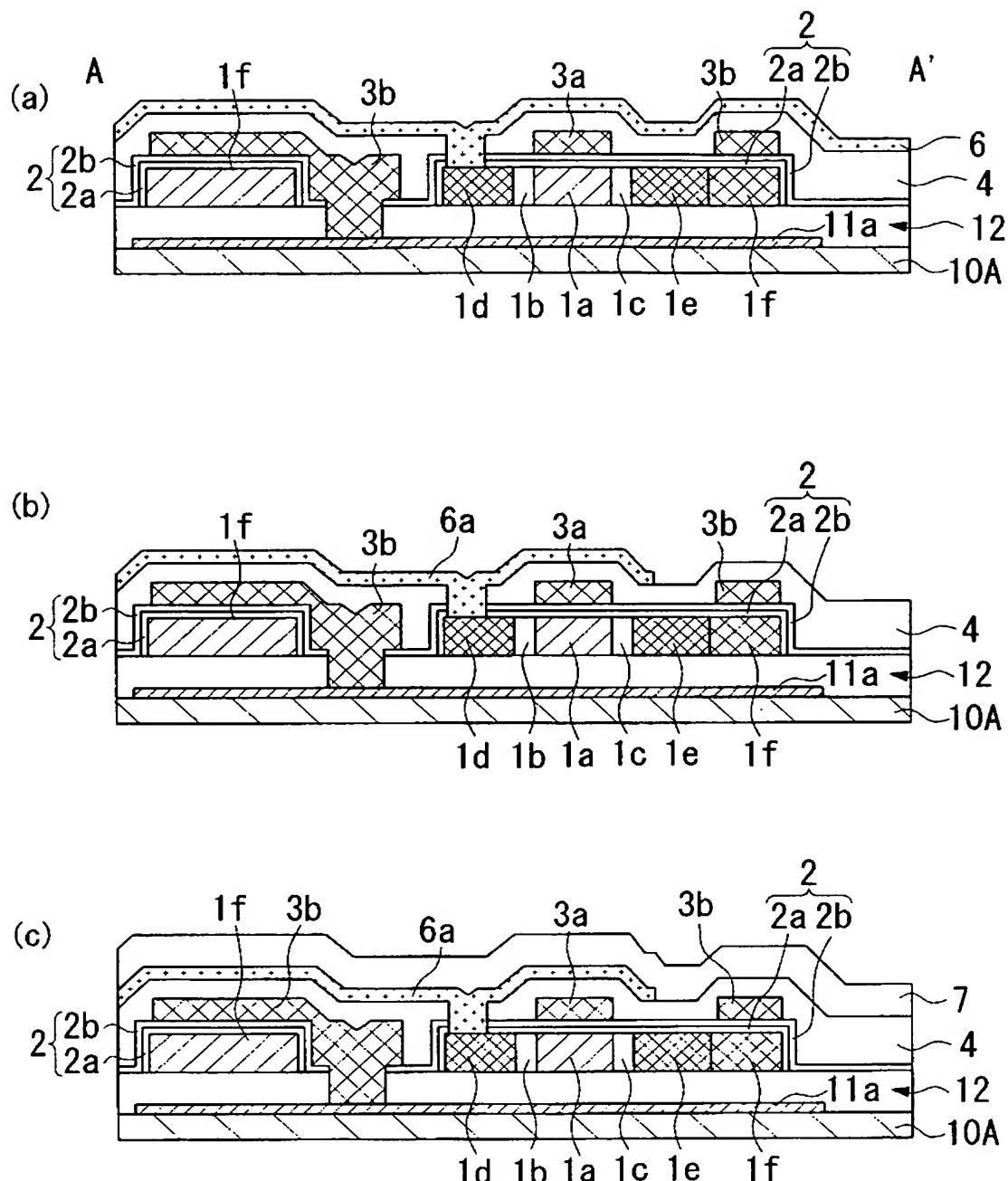
【図9】



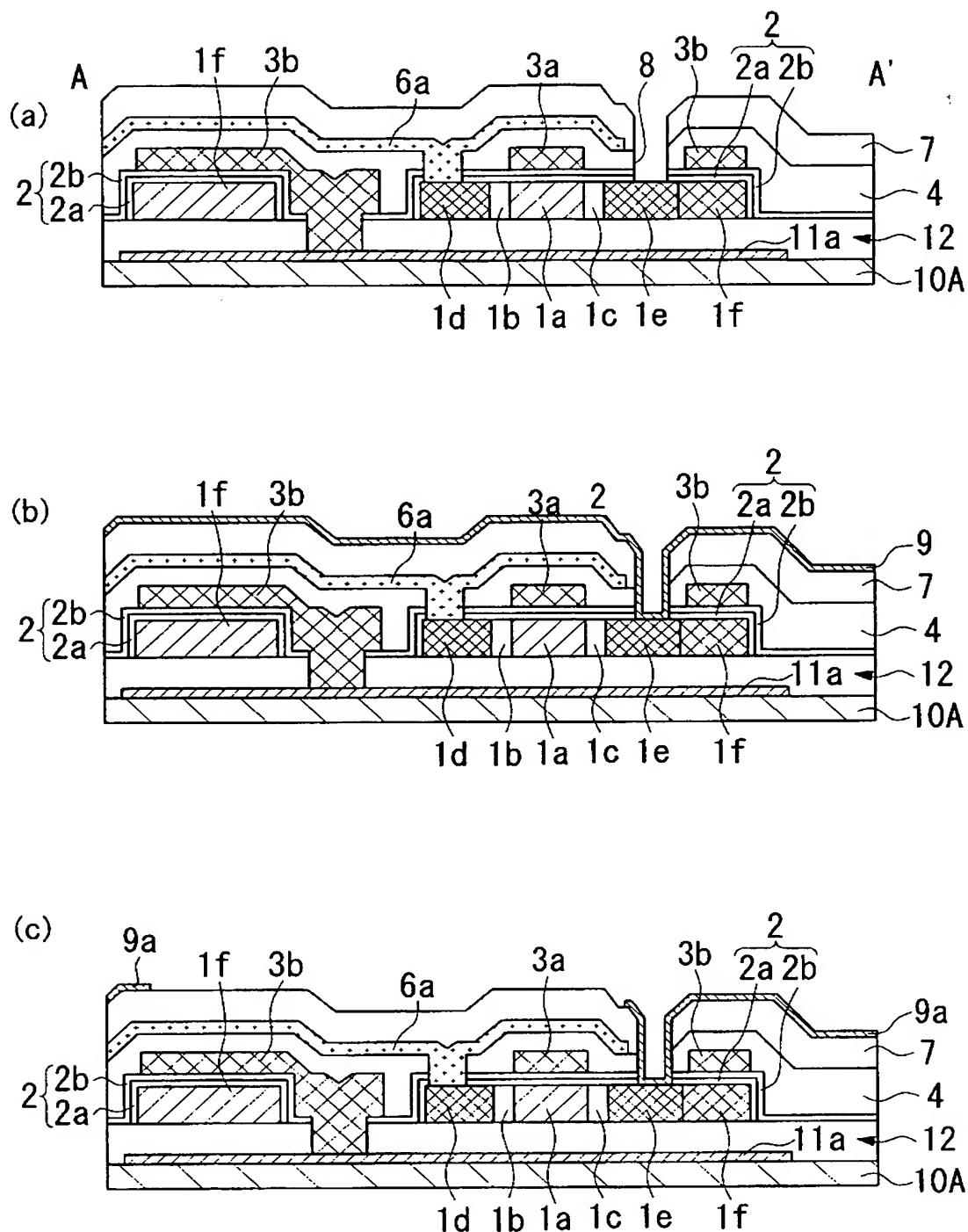
【図10】



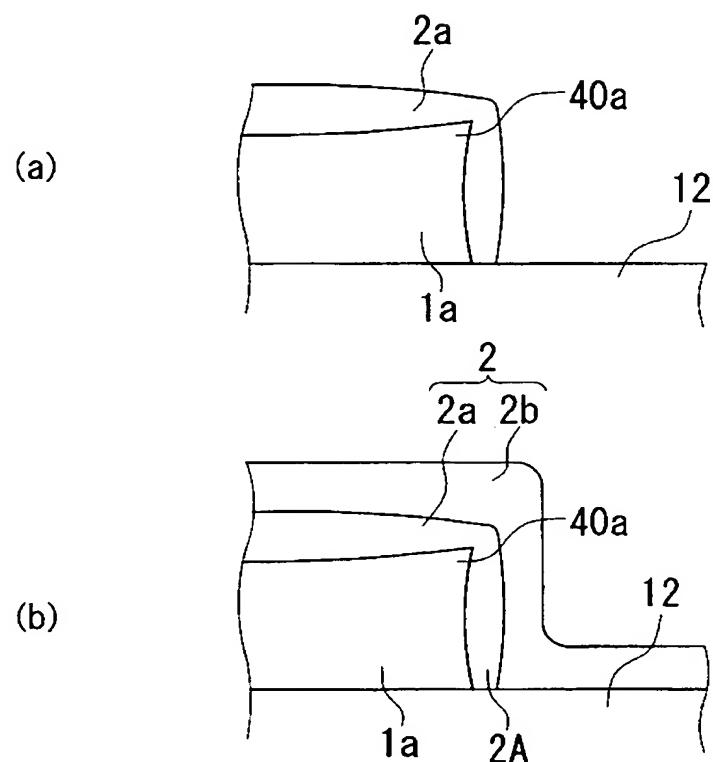
【図 11】



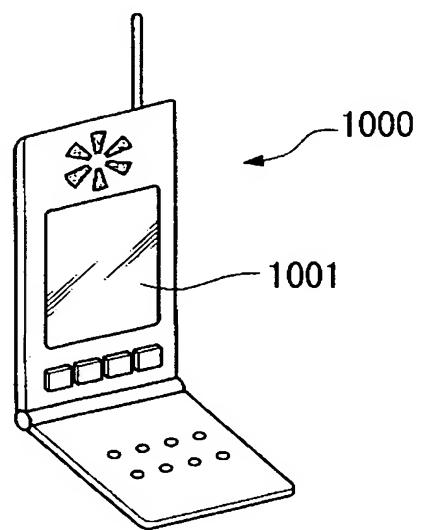
【図 12】



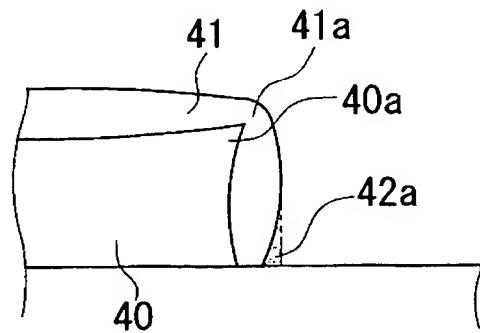
【図13】



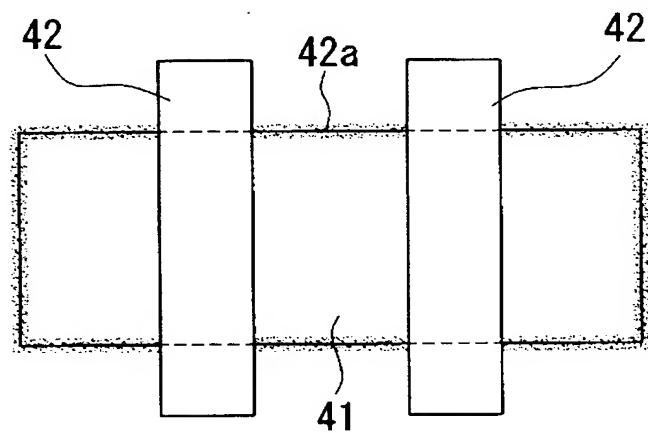
【図14】



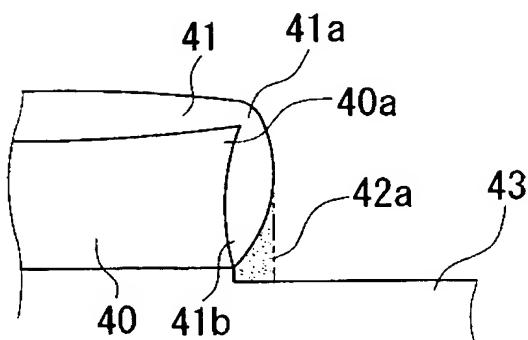
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 十分な耐圧を有し、しかも容易なプロセスで形成することのできるゲート絶縁膜を備え、さらに高温での結晶化処理を不要にしたトランジスタとその製造方法、及びこのトランジスタを備えた電気光学装置、半導体装置、電子機器を提供する。

【解決手段】 単結晶半導体層1aと、単結晶半導体層1a上に設けられたゲート絶縁膜2とを少なくとも備えてなる。ゲート絶縁膜2が、単結晶半導体層1a上に形成された熱酸化膜2aと、この熱酸化膜2a上に形成された少なくとも一層の気相合成絶縁膜2bとを有している。

【選択図】 図7

認定・付加情報

特許出願の番号	特願 2003-015100
受付番号	50300106351
書類名	特許願
担当官	田口 春良 1617
作成日	平成 15 年 1 月 29 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100110364
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 OR ビル 志賀国際特許事務所
【氏名又は名称】	実広 信哉

次頁無

特願2003-015100

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号
氏名 セイコーエプソン株式会社